

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-035985  
(43)Date of publication of application : 07.02.1997

(51)Int.Cl. H01G 4/12  
H01F 17/00  
H01G 4/30

JC929 U.S. PTO  
09/865575  
05/29/01

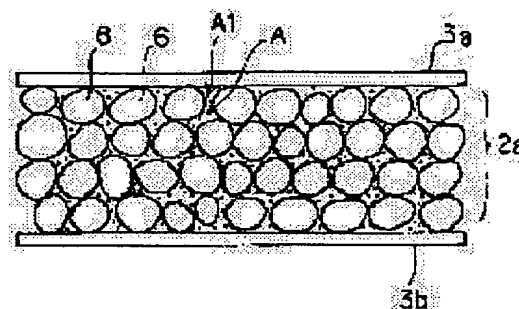
(21)Application number : 07-182946 (71)Applicant : MURATA MFG CO LTD  
(22)Date of filing : 19.07.1995 (72)Inventor : TAKAGI GIICHI  
YONEDA YASUNOBU

## (54) CERAMIC LAMINATED ELECTRONIC COMPONENT

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a ceramic laminated electronic component with a structure wherein structural defects such as delamination and cracks are less.

SOLUTION: The number of ceramic particles of a ceramic layer 2a held between an inner electrode 3a and an inner electrode 3b is 5 or less. (The number of ceramic particles is a thickness of the ceramic layer 2a/an average grain diameter).



## LEGAL STATUS

[Date of request for examination] 05.04.2000  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-35985

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 4 9		H 0 1 G 4/12	3 4 9
H 0 1 F 17/00		4230-5E	H 0 1 F 17/00	D
H 0 1 G 4/30	3 0 1	7922-5E	H 0 1 G 4/30	3 0 1 E

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平7-182946

(22) 出願日 平成7年(1995)7月19日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 高木 義一

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 米田 康信

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

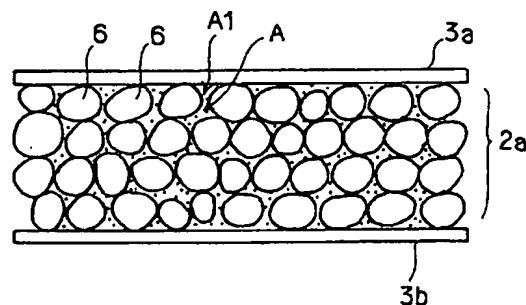
(74) 代理人 弁理士 宮▼崎▲ 主税 (外1名)

(54) 【発明の名称】 セラミック積層電子部品

(57) 【要約】

【課題】 デラミネーションやクラックなどの構造欠陥が生じ難い構造を備えたセラミック積層電子部品を得る。

【解決手段】 内部電極3aと内部電極3bとの間に挟まれているセラミック層2aのセラミック粒子数が5未満(但し、セラミック粒子数は、セラミック層2aの厚み/セラミック粒子の平均粒径)とされている構造を有するセラミック積層電子部品。



## 【特許請求の範囲】

【請求項1】 複数の内部電極がセラミック層を介して厚み方向に重なり合うように配置された焼結体を有するセラミック積層電子部品において、

前記内部電極間に位置するセラミック層の厚み方向に沿って存在するセラミック粒子数 $n$ （但し、セラミック粒子数 $n$ はセラミック層の厚み/セラミック粒子の平均粒径）が5未満となるように該セラミック層が構成されていることを特徴とする、セラミック積層電子部品。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層コンデンサのようなセラミック積層電子部品に関し、特に、セラミック焼結体の構造が改良されたセラミック積層電子部品に関する。

## 【0002】

【従来の技術】セラミック積層電子部品の製造方法の一例として、積層コンデンサの製造方法を説明する。積層コンデンサの製造に際しては、誘電体セラミックスよりなるセラミックグリーンシートと内部電極とを積層し、得られた積層体を厚み方向に加圧し、焼成する。このようにして得られた焼結体では、複数の内部電極がセラミック層を介して厚み方向に重なり合うように配置されている。次に、セラミック焼結体の両端面に、外部電極を形成する。この外部電極は、通常、AgやAg-Pdペーストを塗布し、焼き付け、該焼き付け層上に、Ni及びSn層をメッキすることにより形成されている。

【0003】上記のような製造方法で得られた従来の積層コンデンサでは、得られた焼結体において、デラミネーションと称されている層間剥離現象や、クラックなどの構造欠陥が生じることがあった。その結果、このような構造欠陥が発生する分だけ、良品率が低くならざるを得なかった。

【0004】そこで、上記のような構造欠陥を防止する方法として、①内部電極を構成するための導電ペースト中に、セラミック層を構成するセラミック粉末と同種類のセラミック粉末や、セラミックグリーンシート中に焼結助剤等として含まれているガラスフリットと同種のガラスフリットを混合し、それによって一体焼成後の内部電極とセラミック層との接合強度を高める方法、あるいは、②外部電極表面にメッキ層を形成する際のメッキ液の浸入などによる劣化を防止するために、外部電極の焼き付け層の形成後に焼結体に樹脂を含浸する方法などが提案されている。

## 【0005】

【発明が解決しようとする課題】しかしながら、①内部電極形成用の導電ペースト中に、上記のようにセラミック粉末やガラスフリットを混合すると、電気的特性の劣化、特に等価直列抵抗の劣化を引き起こすおそれがある。

【0006】また、②の樹脂を含浸する方法は、構造欠陥を防止する効果を一応発揮し得るものの、構造欠陥を必ずしも十分に防止することができず、従って、より確実な構造欠陥防止対策が強く求められている。

【0007】本発明の目的は、デラミネーションやクラックなどの構造欠陥が生じ難い構造を備えた焼結体を有するセラミック積層電子部品を提供することにある。

## 【0008】

【課題を解決するための手段】本発明は、複数の内部電極がセラミック層を介して厚み方向に重なり合うように配置された焼結体を有するセラミック積層電子部品において、内部電極間に位置するセラミック層の厚み方向に沿って存在するセラミック粒子数 $n$ が5未満となるように該セラミック層が構成されていることを特徴とする、セラミック積層電子部品である。

【0009】なお、上記厚み方向に沿うセラミック粒子数 $n$ は、内部電極間のセラミック層の厚み/セラミック粒子の平均粒径で表される値である。すなわち、本発明は、内部電極間に挟まれたセラミック層が、上記のようにセラミック粒子数が5未満であるように構成されていることを特徴とする。セラミック積層電子部品のセラミック焼結体は、内部電極と、未焼成のセラミック層、例えばセラミックグリーンシートやセラミックペースト層とを積層し、一体焼成することにより得られる。この場合、セラミックグリーンシートやセラミックペーストには、セラミック粒子だけでなく、樹脂バインダや焼結助剤等としてのガラスフリットが含有されている。

【0010】本発明では、内部電極間に挟まれているセラミック層において、セラミック粒子数が5未満となるように該セラミック層が構成されているため、5個以上の割合で存在する場合に比べて、粒子の表面積は大きくなり、粒子単位表面積当りの粒界成分量が多くなる。これにより、内部電極界面に出てくる粒界成分量が多くなり、密着強度を効果的に高める。従って、ガラスフリット等の溶融固化物がセラミック層と内部電極との密着強度を効果的に高めるため、得られた焼結体におけるデラミネーションやクラックなどの構造欠陥を抑制することが可能とされている。

【0011】すなわち、本発明は、内部電極間に挟まれたセラミック層において、上記セラミック粒子数を5未満とすることにより、内部電極とセラミック層との密着強度を高め、それによって構造欠陥を抑制したことに特徴を有する。

【0012】なお、本発明におけるセラミック積層電子部品とは、積層コンデンサに限らず、セラミック多層基板や、圧電セラミックスを用いた積層型圧電共振部品、積層型インダクタや積層型のCR複合部品などの種々のセラミック積層電子部品を広く含むものとする。もっとも、積層コンデンサなどの静電容量を取り出すために内部電極を形成している場合には、内部電極の面積が該内

部電極が形成されているセラミック面のかかなり大きな部分を占める。従って、内部電極とセラミック層との密着性が十分でないと、デラミネーションが発生し易くなる。よって、本発明は、積層コンデンサのような容量取り出しのための内部電極を有するセラミック積層電子部品に好適に用いることができ、構造欠陥の発生を効果的に防止することができる。

【0013】さらに、前述したように、外部電極として、導電ペーストを焼き付けて形成された焼き付け層上に、メッキ層を形成した構造を用いた場合には、メッキに際してのメッキ液の浸入に起因する構造欠陥が生じることがある。従って、このようなメッキ層を有する外部電極を用いたセラミック積層電子部品に利用した場合、本発明により上記構造欠陥を効果的に抑制することができ、好ましい。

【0014】

【発明の実施の形態】積層コンデンサを例にとり、本発明の一実施形態を図面を参照しつつ説明する。

【0015】図1は、本発明の一実施形態に係る積層コンデンサを示す断面図である。積層コンデンサ1は、チタン酸バリウム系セラミックスのような誘電体セラミックスからなる焼結体2を用いて構成されている。焼結体2は、直方体状の形状を有し、内部には、内部電極3a～3dがセラミック層2a、2b、2cを介して重なり合うように配置されている。内部電極3a、3cは、セラミック焼結体2の一方端面2dに引き出されており、内部電極3b、3dは、他方端面2eに引き出されている。

【0016】セラミック焼結体2を得るにあたっては、先ず、矩形のセラミックグリーンシートを成形し、該セラミックグリーンシート上に内部電極を構成するための導電ペーストをスクリーン印刷などにより塗布する。導電ペーストとしては、AgやAg-Pd合金などの粉末を含有するものが用いられるが、含有される導電性材料は特に限定されるものではない。

【0017】次に、内部電極が印刷されたセラミックグリーンシートを複数枚積層し、上下に適宜の枚数の無地のセラミックグリーンシートを積層し、積層体を得る。得られた積層体を厚み方向に加圧した後、焼成することにより、導電ペーストの焼き付けと、セラミックスの焼成とを行うことができ、図1に示されている一体焼成型の焼結体2を得ることができる。

【0018】上記焼結体2の端面2d、2eには、それぞれ、外部電極4、5が形成されている。外部電極4、5は、焼き付け層4a、5a上に、Niメッキ層4b、5b及びSnメッキ層4c、5cを形成した構造を有する。焼き付け層4a、5aは、例えばAg含有導電ペーストを塗布し、焼き付けることにより形成されている。使用する導電ペーストはAg-Pdなどの他の導電性材料を含むものであってもよい。

【0019】Niメッキ層4b、5bは、Ag含有導電ペーストにより形成された焼き付け層4a、5aの半田食われを防止するために形成されており、Snメッキ層4c、5cは、半田付け性を高めるために形成されている。

【0020】本実施形態の積層コンデンサ1の特徴は、上記セラミック層2a～2c、すなわち一対の内部電極に挟まれているセラミック層2a～2cが、上記厚み方向に沿うセラミック粒子数が5未満となるように構成されていることにある。すなわち、図2に拡大して示すように、内部電極3aと、内部電極3bとの間に存在するセラミック層2aでは、セラミック粒子6が、厚み方向に沿って平均して5個以下となるように存在している。他方、セラミック層2aは、上記のようにセラミックグリーンシートを焼成することにより構成されている。焼成後のセラミック層2a中には、セラミック粒子6だけでなく、焼結助剤として予め混入させておいたガラスフリットの溶融・固化物も存在している。このガラスフリットの溶融・固化物は、セラミック粒子6間の間隙（図示において矢印Aで示す部分）に存在し、セラミック粒子6同士を合着し、かつセラミック層2aを、内部電極3a、3bに密着させる効果を併せて持っている。

【0021】本実施形態では、図2に矢印A1で示す間隙部分、すなわちセラミック層2aと内部電極3a、3bとを密着させるように機能する間隙部分の全間隙に対する割合が高められている。すなわち、ガラスフリットの溶融・固化物が、上記間隙A1に相対的に高い割合で存在している。従って、内部電極3a、3bとセラミック層2aとの密着強度が効果的に高められる。他のセラミック層2b、2cにおいても、同様に、セラミック粒子が厚み方向に沿って平均して5個以下の割合で存在するように構成されているため、セラミック層と内部電極との密着性が高められている。

【0022】他方、内部電極3a、3b間に、図3に示すように、厚み方向に沿ってセラミック粒子11が6個以上存在するようにセラミック層12が構成されている場合には、間隙Bがセラミック層12内に多数存在することになる。そのため、内部電極3a、3bに接する部分の間隙B1の割合が相対的に少なくなり、従って、ガラスフリットの溶融・固化物によるセラミック層12と内部電極3a、3bとの間の密着強度が十分に高められないことがある。

【0023】これに対して、本実施形態では、焼結体2において、前述のように、内部電極と内部電極間に挟まれたセラミック層2a～2cとの密着性が高められているため、デラミネーションやクラックなどの構造欠陥が生じ難いことがわかる。

【0024】なお、外部電極4、5は、上記メッキ層4b、4c、5b、5cを有し、メッキ層4b～5cの形成に際しては、強酸などのメッキ液中にセラミック焼結

体2を浸漬する必要がある。このメッキ液への浸漬に際し、従来、内部電極とセラミック層との界面からメッキ液がセラミック焼結体2内に浸入し、デラミネーションやクラック等の構造欠陥を引き起こしがちであるという問題があった。これに対して、本実施形態では、上記のように内部電極3a～3dとセラミック層2a～2cとの密着強度が高められているため、メッキ液の浸入が生じ難く、従って、メッキ液の浸入に起因するクラックの拡大やデラミネーションの発生を抑制することも可能となる。

【0025】なお、上記実施形態では、外部電極4、5として、メッキ層を有するものを示したが、本発明のセラミック積層電子部品は、メッキ層を有しない外部電極にも適用することができる。

【0026】また、内部電極が引き出されている端面に外部電極が形成されているセラミック積層電子部品だけでなく、内部電極をビアホール電極などにより外表面に引き出している構造を有するセラミック積層電子部品に\*

\*も適用することができる。

【0027】さらに、本発明では、従来の焼結体に樹脂を含浸する方法を併用してもよく、それによって、構造欠陥の発生をより効果的に防止することができる。

【0028】

【実施例】図1に示した積層コンデンサ1として、内部電極3a～3d間のセラミック層2a～2cの厚みが5μmであり、セラミック焼結体2の寸法が、3.2×1.6×1.25mmのものを、内部電極間に挟まれているセラミック層2a～2cのセラミック粉末の粒径及び上記セラミック粒子数を下記の表1に示すように種々異ならせて作製した。使用した誘電体セラミックスはチタン酸バリウム系誘電体セラミックスであり、内部電極3a～3dの形成に際しては、Ni粉末を含有する導電ペーストを用いた。

【0029】

【表1】

試料	平坦グレイン径 (μm)	素子間グレイン 径 (μm)	構造欠陥含有率
1	0.7	7.1	0.3%
2	1.0	5.0	100ppm
3	1.5	3.3	80ppm
4	2.1	2.4	40ppm
5	3.0	1.7	0
6	3.6	1.4	0

【0030】上記のようにして得られた試料番号1～6の積層コンデンサにつき、デラミネーションやクラックなどの構造欠陥が発生しているか否かを顕微鏡下において観察した。結果を、表1に併せて示す。

【0031】表1から明らかなように、セラミック層2a～2cにおける厚み方向に沿うセラミック粒子数が5.0以下の場合、構造欠陥発生率が100ppm以下と非常に低いのにに対し、試料番号1では、セラミック粒子数が7.1であるためか、構造欠陥発生率が0.3%と非常に高いことがわかる。従って、表1の結果から、厚み方向に沿うセラミック粒子数を5.0以下とすることにより、構造欠陥の発生を効果的に抑制し得ることがわかる。

【0032】

【発明の効果】以上のように、本発明によれば、内部電極間に存在するセラミック層の厚み方向に沿う上記セラミック粒子数が5未満とされているため、内部電極間に存在するセラミック層と内部電極との間の密着強度が効果的に高められる。従って、デラミネーションやクラックなどの構造欠陥が生じ難い、信頼性に優れたセラミッ

ク積層電子部品を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る積層コンデンサを示す断面図。

【図2】図1に示した積層コンデンサにおける内部電極間に挟まれたセラミック層を説明するための模式的拡大断面図。

【図3】従来の積層コンデンサにおける内部電極間のセラミック層の構造を説明するための模式的拡大断面図。

【符号の説明】

1…積層コンデンサ（セラミック積層電子部品）

2…焼結体

2a～2c…内部電極間のセラミック層

3a～3d…内部電極

4、5…外部電極

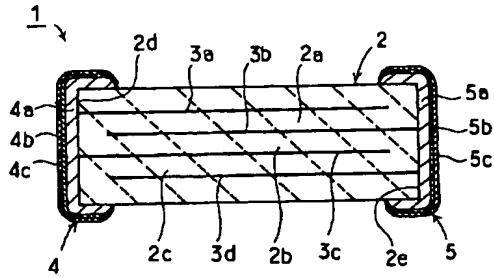
6…セラミック粒子

7…ガラスフリット溶融硬化物

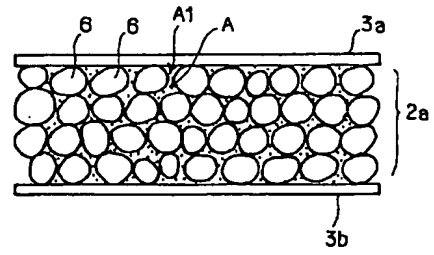
A…間隙

A1…内部電極と接する部分の間隙

【図1】



【図2】



【図3】

